1. 建立一个工程，设计全加器，并加以仿真。

1、新建工程FA

保存位置 D:\work\CO\FA

工程名称 FA

主文件（top-level design entity）FA

2、设计原理图文件保存为FA.BDF

新建——Block Diagram，保存为FA

添加元件：

输入信号、输出信号、2与门、2或门、异或门

Input output and2 or2 xor

修改输入信号依次位A、B、Cin 输出信号依次为 S、Cout

连接元件：

编译

3、设计仿真波形文件

新建——Vector Waveform File

插入仿真的信号（快捷菜单——inert node or bus——node finder）

设置A 为40ns的clock信号，end time 为40ns

设置B 为20ns的Clcok信号，C为10ns的Clock信号

保存文件——保存为FA.vwf

Processing ——simulation tools 仿真

选择——functional 进行功能仿真，（生成功能仿真的网表文件）

Start——开始仿真

Report——查看仿真结果

4、用原理图文件FA.bdf，创建symbol文件FA.bsf。

文件——Create/Update——Create Symbol File for Current File

1. 建立一个工程，设计8位行波进位加法器，并加以仿真。

1、新建工程adder8

保存位置 D:\work\CO\adder8

工程名称 adder8

主文件（top-level design entity）adder8

2、设计原理图文件保存为adder8.bdf

新建——Block Diagram，保存为adder8

添加元件：

输入信号、输出信号、FA、异或门xor

修改输入信号分别为A[7..0]、B[7..0]、C0

修改输出信号分别为S[7..0]、C8、Overflow

A[7..0]等为包含8个信号的总线信号，

连接元件：

连接时为了指定连接的总线中的哪一个信号，需设置连线对应某信号，如：A[0]

编译

3、设计仿真波形文件

新建——Vector Waveform File

插入仿真的信号（快捷菜单——inert node or bus——node finder）

A、B、C0、 S、C8、Overflow

设置C0为0，A、B均为半个时钟变化一次的随机值

（随机值需要包含 可能出现的各种情况，如果不合适可以手动修改某个值）

A、B、S均显示为Signed Decimal（有符号数）

保存文件——保存为adder8.vwf

Processing ——simulation tools 仿真

选择——functional 进行功能仿真，（生成功能仿真的网表文件）

Start——开始仿真

Report——查看仿真结果